

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2002-231885
 (43) Date of publication of application : 16.08.2002

(51) Int.CI. H01L 25/10
 H01L 25/11
 H01L 25/18

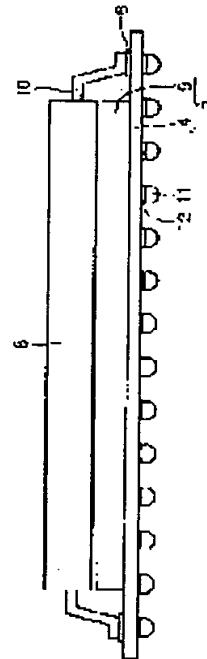
(21) Application number : 2001-029786 (71) Applicant : MITSUBISHI ELECTRIC CORP
 (22) Date of filing : 06.02.2001 (72) Inventor : ISHII HIDEKI
 MICHII KAZUNARI
 SHIBATA JUN
 NAKAJIMA MORIYOSHI

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To achieve miniaturization of a semiconductor device with a plurality of semiconductor packages.

SOLUTION: The semiconductor device of this invention comprises a first semiconductor package 7 and a second semiconductor package 8 mounted on the first semiconductor package 7. The first semiconductor package 7 includes a land for the second semiconductor package 6 on a front surface and a land 12 for an external connection for the connection with a surface mounting board on the backside surface. The second semiconductor package 8 includes an external lead 10 connected to the land for the second semiconductor package mounting.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-231885

(P2002-231885A)

(43)公開日 平成14年8月16日 (2002.8.16)

(51)Int.Cl.⁷
H 01 L 25/10
25/11
25/18

識別記号

F I
H 01 L 25/14

マーク (参考)
Z

審査請求 未請求 請求項の数12 ○L (全9頁)

(21)出願番号 特願2001-29786 (P2001-29786)

(22)出願日 平成13年2月6日 (2001.2.6)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 石井 秀基

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 道井 一成

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外4名)

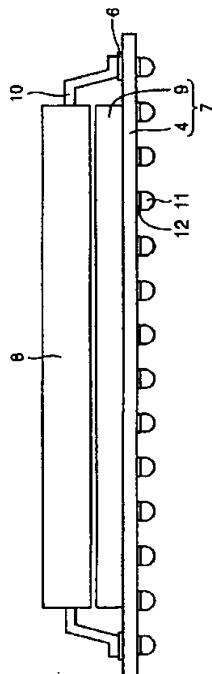
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 複数の半導体パッケージを有する半導体装置を小型化する。

【解決手段】 本発明の半導体装置は、第1半導体パッケージ7と、該第1半導体パッケージ7に実装された第2半導体パッケージ8とを備える。第1半導体パッケージ7は、表面に第2半導体パッケージ実装用ランド6と、裏面に実装基板との接続用の外部接続用ランド12とを有する。第2半導体パッケージ8は、第2半導体パッケージ実装用ランド6と接続される外部リード10を有する。



【特許請求の範囲】

【請求項1】 表面に第1ランドと、裏面に実装基板との接続用の第2ランドとを有する第1半導体パッケージと、

前記第1半導体パッケージに実装され、前記第1ランドと接続される外部導体部を有する第2半導体パッケージとを備えた、半導体装置。

【請求項2】 前記第1ランドは、前記第1半導体パッケージの周縁部上に配置される、請求項1に記載の半導体装置。

【請求項3】 前記第1半導体パッケージは、第1半導体チップと、該第1半導体チップを封止する樹脂部と、該樹脂部が搭載され該樹脂部よりも外方に張り出す基板部とを有し、前記第1ランドは、前記基板部において前記樹脂部よりも外方に張り出す部分上に配置され、前記第2半導体パッケージは、第2半導体チップを有する、請求項1または請求項2に記載の半導体装置。

【請求項4】 前記基板部において、前記第1と第2半導体パッケージを電気的に接続する、請求項3に記載の半導体装置。

【請求項5】 前記基板部上に、前記第1半導体チップとワイヤを介して電気的に接続される第3ランドを設け、前記樹脂部は、前記基板部に達するとともに前記ワイヤおよび前記第3ランドを覆う、請求項3または請求項4に記載の半導体装置。

【請求項6】 前記基板部は、凹部を有し、前記凹部内に前記樹脂部を配置する、請求項3から請求項5のいずれかに記載の半導体装置。

【請求項7】 前記第2半導体パッケージは、前記第2半導体チップを実装するダイパッドと、前記第2半導体チップを封止する封止樹脂とを有し、前記外部導体部は、前記封止樹脂の側面から延出する外部リードを含み、前記外部リードは、前記第1半導体パッケージに向かう方向に屈曲する、請求項3から請求項6のいずれかに記載の半導体装置。

【請求項8】 前記第1半導体チップは、ロジックデバイスを含み、

前記第2半導体チップは、メモリーデバイスを含む、請求項3から請求項7のいずれかに記載の半導体装置。

【請求項9】 前記ダイパッド上に前記第2半導体チップを実装し、前記第2半導体チップ上に第3半導体チップを積層し、

前記ダイパッドが前記封止樹脂の表面に露出した、請求項7または請求項8に記載の半導体装置。

【請求項10】 前記ダイパッド上に前記第2半導体チップを実装し、前記ダイパッド下に第3半導体チップを実装した、請求項7または請求項8に記載の半導体装置。

置。

【請求項11】 前記第1半導体チップ上に第4半導体チップを積層した、請求項3から請求項10のいずれかに記載の半導体装置。

【請求項12】 前記第2ランド上に、外部接続用の半田バンプを形成した、請求項1から請求項11のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数の半導体パッケージを有する半導体装置に関する。

【0002】

【従来の技術】 複数の半導体パッケージを有する半導体装置の一例が、たとえば特開平10-116963号に開示されている。この公報に記載された半導体装置を図13に示す。

【0003】 図13に示すように、半導体装置は、実装基板15上に重ねて実装された第1および第2半導体パッケージ22, 23を有する。第1と第2半導体パッケージ22, 23は、それぞれ半導体チップ(図示せず)および外部リード24, 25を有しており、外部リード24, 25を介して実装基板15上に設けられたランドとそれぞれ電気的に接続される。

【0004】 このように上記公報記載の発明では、第1および第2半導体パッケージ22, 23はともに実装基板15に直接実装されており、上方に位置する第2半導体パッケージ23を下方に位置する第1半導体パッケージ22に実装することは上記公報には全く開示されていない。つまり、上記公報には、半導体パッケージに半導体パッケージを実装するという思想は全く開示されていない。

【0005】

【発明が解決しようとする課題】 上記のように第1と第2半導体パッケージ22, 23がともに外部リード24, 25を介して実装基板15上に直接実装されているため、次のような問題があった。

【0006】 図13に示すように、下段に位置する第1半導体パッケージ22の外部リード24は外方に延出しているので、この外部リード24のために幅dを確保する必要が生じる。つまり、外部リード24のために第1半導体パッケージ22のサイズが幅方向に大きくなる。

【0007】 また、外部リード24で第1半導体パッケージ22の樹脂部を実装基板15から浮き上がらせていくので、図13に示す厚みtが必要となり、結果的に第1半導体パッケージ22のサイズが高さ方向に大きくなる。

【0008】 他方、第2半導体パッケージ23の外部リード25も実装基板15と接続されるので、この外部リード25を、第1半導体パッケージ22の外部リード24よりも外側に配置する必要が生じる。そのため、第2

半導体パッケージ23の幅が第1半導体パッケージ22の幅よりも大きくなる。

【0009】上記のように第1半導体パッケージ22のサイズが大きくなり、また第2半導体パッケージ23のサイズはさらに第1半導体パッケージ22よりも大きくなるので、結果として半導体装置の幅方向（水平方向）と高さ方向（垂直方向）の両方向に、半導体装置のサイズが大きくなるという問題があった。

【0010】本発明は上記の課題を解決するためになされたものである。本発明の目的は、複数の半導体パッケージを有する半導体装置を小型化することにある。

【0011】

【課題を解決するための手段】本発明に係る半導体装置は、表面に第1ランドと裏面に実装基板との接続用の第2ランドとを有する第1半導体パッケージと、第1半導体パッケージに実装され第1ランドと接続される外部導体部を有する第2半導体パッケージとを備える。

【0012】上記のように第1半導体パッケージの裏面に第2ランドを設けることにより、第1半導体パッケージに外部リードを設けることなく実装基板に第1半導体パッケージを実装することができる。それにより、第1半導体パッケージのサイズを幅方向（水平方向）と高さ方向（垂直方向）の両方向に縮小することができる。また第1半導体パッケージに第2半導体パッケージを実装しているので、第1半導体パッケージの幅よりも第2半導体パッケージの幅を大きくする必要がなくなり、また第2半導体パッケージの高さも低くすることができる。それにより、第2半導体パッケージのサイズをも幅方向と高さ方向の両方向に縮小することができる。

【0013】上記第1ランドは、好ましくは、第1半導体パッケージの周縁部上に配置される。それにより、第1半導体パッケージへの第2半導体パッケージの実装を容易に行なえる。

【0014】第1半導体パッケージは、第1半導体チップと、該第1半導体チップを封止する樹脂部（封止部）と、該樹脂部が搭載され該樹脂部よりも外方に張り出す基板部とを有し、第1ランドは、基板部において樹脂部よりも外方に張り出す部分上に配置される。他方、第2半導体パッケージは、第2半導体チップを有する。

【0015】第1半導体パッケージに上記のような基板部を設けることにより、該基板部において樹脂部よりも外方に張り出す周縁部上に、第1ランドを配置することができる。このように基板部上に第1ランドを配置することにより、第1ランドの形成を容易に行なえる。また、上記の基板部を設けることにより、基板部の裏面全面にアレイ状に第2ランド（外部接続用端子）を配置することができ、半導体装置の小型化および多ピン化が可能となる。

【0016】上記基板部において、第1と第2半導体パッケージを電気的に接続することが好ましい。それによ

り、第1と第2半導体パッケージの第2ランド（外部接続用端子）を共通化することができ、半導体装置の外部接続用端子数を低減することができる。

【0017】上記基板部上に、第1半導体チップとワイヤを介して電気的に接続される第3ランドを設け、樹脂部は、好ましくは、基板部に達するとともにワイヤおよび第3ランドを覆う。

【0018】このように基板部上に直接樹脂部を形成することにより、第1半導体パッケージの高さを低減することができる。また、上記のような構造を採用することにより、樹脂部の外部に延出する導体部を基板部上に設ける必要がなくなる。

【0019】上記基板部は、凹部を有してもよい。この場合、凹部内に樹脂部を配置することが好ましい。それにより、基板部上に樹脂部が突出するのを回避でき、第1半導体パッケージへの第2半導体パッケージの実装をさらに容易に行なうことができる。

【0020】第2半導体パッケージは、第2半導体チップを実装するダイパッドと、第2半導体チップを封止する封止樹脂（封止部）とを有し、外部導体部は、封止樹脂の側面から延出する外部リードを含み、外部リードは、好ましくは、第1半導体パッケージに向かう方向に屈曲する。

【0021】このように外部リードを第1半導体パッケージに向かう方向に屈曲することにより、上記基板部において第1半導体パッケージの樹脂部が突出する場合においても、第1半導体パッケージに第2半導体パッケージを容易に実装することができる。

【0022】上記第1半導体チップは、ロジックデバイスを含み、第2半導体チップは、メモリーデバイスを含む。

【0023】それにより、たとえばロジックデバイスを含むロジックIC（Integrated Circuit）と、メモリーデバイスを含むメモリーICとを、1チップ化する必要がなくなり、開発期間を短縮できるとともにチップサイズの制約を回避できる。

【0024】上記のダイパッド上に第2半導体チップを実装し、第2半導体チップ上に第3半導体チップを積層してもよい。この場合、ダイパッドを封止樹脂の表面に露出させることが好ましい。

【0025】また、上記のダイパッド上に第2半導体チップを実装し、ダイパッド下に第3半導体チップを実装してもよい。さらに、第1半導体チップ上に第4半導体チップを積層してもよい。

【0026】このように第1と第2半導体パッケージの少なくとも一方が複数の半導体チップを有することにより、半導体装置の高機能化が図れる。また、ダイパッドを封止樹脂の表面に露出させた場合には、第2半導体パッケージの厚みを薄くすることができる。さらに、ダイパッドの表裏に半導体チップをそれぞれ配置した場合に

は、チップサイズの制約をも回避できる。

【0027】上記第2ラント上に、外部接続用の半田バンプを形成してもよい。それにより、半田ボール等の半田バンプを介して実装基板に第1半導体パッケージを実装することができる。

【0028】

【発明の実施の形態】以下、図1～図12を用いて、本発明の実施の形態について説明する。

【0029】(実施の形態1) 図1は本発明の実施の形態1における半導体装置の平面図であり、図2は本実施の形態1における半導体装置の側面図であり、図3は樹脂部を除く第1半導体パッケージの平面図であり、図4は本実施の形態1における半導体装置の底面図であり、図5は本実施の形態1における半導体装置の断面図である。図6は本実施の形態1における半導体装置を実装基板に実装した状態を示す側面図である。

【0030】図1および図2に示すように、本実施の形態1における半導体装置は、第1半導体パッケージ7と、この第1半導体パッケージ7に実装される第2半導体パッケージ8とを備える。半導体装置全体の厚みはたとえば1.0mm～1.2mm程度であり、第1および第2半導体パッケージ7, 8の厚みはたとえば500μm～600μm程度である。

【0031】下方に位置する第1半導体パッケージ7は、図1～図4に示すように、半導体チップ1aと、基板部4と、ワイヤ接続用ランド(第3ランド)5と、第2半導体パッケージ実装用ランド(第1ランド)6と、樹脂部(封止部)9と、半田ボール(半田バンプ)11と、外部接続用ランド(第2ランド)12とを有する。

【0032】基板部4は、図1および図2に示すように樹脂部9よりも外方に張り出しており、たとえばガラスエポキシ等により構成され、100μm～200μm程度の厚みを有する。基板部4の厚みは、たとえば半導体装置全体の厚みの10%～20%程度であり、第1半導体パッケージ7の厚みの15%～30%程度である。それにより、基板部4に必要とされる強度を確保することができる。

【0033】基板部4の表面には、図3に示すようにワイヤ接続用ランド5と第2半導体パッケージ接続用ランド6とを形成し、基板部4の裏面には、図2に示すように外部接続用ランド12を形成する。

【0034】ワイヤ接続用ランド5は、図3に示すように、第1半導体チップ1aの周囲に第1半導体チップ1aを取囲むように配置され、たとえばCu等の金属層(導電層)により構成される。

【0035】第1半導体チップ1aの周縁部上にボンディングパッド3を形成し、このボンディングパッド3を、金等となるワイヤ2を介してワイヤ接続用ランド5と接続する。

【0036】樹脂部9は、エポキシ樹脂等の熱硬化性樹

脂で構成され、第1半導体チップ1aを封止し、第1半導体チップ1a、ワイヤ2およびワイヤ接続用ランド5を覆い、基板部4に達する。

【0037】このように基板部4上に直接樹脂部9を形成しているので、図2に示すように樹脂部9の側面から基板部4に向けて導体部を形成する必要がなくなり、第1半導体パッケージ7を幅方向にコンパクト化することができる。また、外部リードを有する従来例の場合よりも第1半導体パッケージ7の高さを低減することもできる。

【0038】したがって、第1半導体パッケージ7を幅方向と高さ方向の双方に縮小することができる。この第1半導体パッケージ7に第2半導体パッケージ8を実装するので、第1半導体パッケージ7の幅よりも第2半導体パッケージ8の幅を大きくする必要がなくなり、結果として第2半導体パッケージ8のサイズをも縮小することができる。その結果、半導体装置のサイズを小型化することができる(本発明の効果1)。

【0039】第2半導体パッケージ実装用ランド6は、図1～図3に示すように第1半導体パッケージ7の周縁部上に配置され、たとえばCu等の金属層により構成される。より詳しくは、第2半導体パッケージ実装用ランド6は、樹脂部9よりも外方に張り出す基板部4の周縁部上に配置される。

【0040】それにより、第2半導体パッケージ実装用ランド6の形成を容易に行なえるのみならず、第1半導体パッケージ7への第2半導体パッケージ8の実装をも容易に行なえる(本発明の効果2)。

【0041】外部接続用ランド12は、基板部4の裏面に形成され、たとえばCu等の金属層により構成される。この外部接続用ランド12は、基板部4の裏面全面にアレイ状に形成されることが好ましい。かかる外部接続用ランド12を設けることにより、半導体装置の小型化および多ピン化が可能となる(本発明の効果3)。

【0042】図2に示すように、外部接続用ランド12上に半田ボール11を形成する。したがって、図4に示すように、半田ボール11も基板部4の裏面全面に網羅的に形成される。

【0043】なお、半田ボール11は省略可能である。半田ボール11を省略することにより、半導体装置をさらに薄形化することができる。

【0044】次に、図5、図7および図8を用いて、本実施の形態における半導体装置の断面構造について説明する。

【0045】図5に示すように、第1半導体パッケージ7の基板部4上に、接合材14を介して第1半導体チップ1aを搭載し、第1半導体チップ1aを樹脂部9で封止する。

【0046】第2半導体パッケージ8は、第2半導体チップ1bと、第2半導体チップ1bを実装するダイパッ

ド13と、第2半導体チップ1bを封止する封止樹脂と、封止樹脂の側面から延出する外部リード10とを有する。

【0047】第2半導体チップ1bは接合材14を介してダイパッド13上に実装され、外部リード10は第1半導体パッケージ7に向かう方向に屈曲する。

【0048】このように外部リード10を第1半導体パッケージ7に向かう方向に屈曲させることにより、図5に示すように基板部4上において第1半導体パッケージ7の樹脂部9が突出する場合においても、第1半導体パッケージ7に第2半導体パッケージ8を容易に実装することができる（本発明の効果4）。なお、外部リード10以外の外部導体部を第2半導体パッケージ8に設けてもよい。

【0049】図5に示す第1半導体チップ1aは、ロジックデバイスを含むロジックICであり、第2半導体チップ1bは、メモリーデバイスを含むメモリーICである。

【0050】このように1つの半導体装置に複数の半導体チップを搭載することにより、半導体装置の高機能化を図ることができる（本発明の効果5）。また、ロジックICとメモリーICとを別の半導体パッケージに搭載することにより、これらを1チップ化する必要がなくなり、開発期間を短縮できる（本発明の効果6）。さらに、図5に示すように半導体チップを積層しないことにより、チップサイズの制約を回避できる（本発明の効果7）。

【0051】図7に、第2半導体パッケージ8の外部リード10と、第2半導体パッケージ実装用ランド6との接続部の構造例を示す。図7に示すように、外部リード10と第2半導体パッケージ実装用ランド6とは、たとえば半田層（導電層）17を介して接続される。この半田層17は、めっき、ディスペンサによる塗布等で形成できる。

【0052】第2半導体パッケージ8を第1半導体パッケージ7に実装するには、たとえば第2半導体パッケージ実装用ランド6に予め上記の手法で半田層17を形成しておき、第2半導体パッケージ実装用ランド6上に第2半導体パッケージ8を載置し、この状態で半田層17を溶融させればよい。

【0053】図8に、基板部4の拡大断面図を示す。図8に示すように、基板部4にスルーホール18を設け、このスルーホール18内に導電層（スルーホール配線）19を形成する。そして、導電層19により第2半導体パッケージ実装用ランド6と外部接続用ランド12とを接続する。また、基板部4の表面上に第2半導体パッケージ実装用ランド6とワイヤ接続用ランド5とを接続するための配線20を形成する。

【0054】それにより、基板部4において、第1と第2半導体パッケージ7、8を電気的に接続することができる。

き、第1と第2半導体パッケージ7、8の外部接続用ランド12を共通化することができる。その結果、半導体装置の外部接続用端子数を低減することができる（本発明の効果8）。

【0055】図6に、上記の構造を有する本発明の半導体装置を実装基板15上に実装した状態を示す。

【0056】図6に示すように、半田ボール11等の導電材を介して実装基板15上の実装用ランド16と外部接続用ランド12とを接続する。それにより、第1半導体パッケージ7に外部リードを設けることなく実装基板15に第1半導体パッケージ7を実装することができる。

【0057】次に本実施の形態1における半導体装置の製造方法の一例を説明する。本実施の形態1における半導体装置の製造するには、まず第1および第2半導体パッケージ7、8をそれぞれ別工程で組み立てる。

【0058】半導体パッケージ7を組み立てるには、基板部4の表面と裏面の所定位置にワイヤ接続用ランド5、第2半導体パッケージ実装用ランド6および外部接続用ランド12を形成し、さらに基板部4の表面および内部に所定の配線を形成する。

【0059】その後、基板部4の表面上に接合層14を介して第1半導体チップ1aを取り付け、ワイヤボンディング法により第1半導体チップ1aのボンディングパッド3とワイヤ接続用ランド5とをワイヤ2で接続する。

【0060】次に、トランスマルチモード法等の封止技術を用いて、第1半導体チップ1aおよびその周辺を樹脂封止する。それにより、樹脂部9を形成する。そして第1半導体パッケージ7の組立後に、電気テストを行なう。

【0061】他方、第2半導体パッケージ8については、ダイパッド13上に接合層14を介して第2半導体チップ1bを取り付け、ワイヤボンディング法により第2半導体チップ1bのボンディングパッドと内部リードとをワイヤ2で接続する。

【0062】その後、トランスマルチモード法等の封止技術を用いて第2半導体チップ1bを樹脂封止し、外部リード10にベンド加工を施す。そして第2半導体パッケージ8の組立後に、電気テストを行なう。

【0063】上記のように第1と第2半導体パッケージ7、8の各々について別途電気テストを行なった後、第1半導体パッケージ7に第2半導体パッケージ8を実装する。それにより、歩留りを向上することができ、加工費を低減することができる（本発明の効果9）。

【0064】（実施の形態2）次に、本発明の実施の形態2について図9を用いて説明する。図9は、本実施の形態2の半導体装置を示す断面図である。

【0065】本実施の形態2では、図9に示すように、SRAM(Static Random Access Memory)やEEPROM(Electrically Erasable and Programmable Read Only

y Memory)等のメモリデバイスを搭載したメモリICである第2半導体チップ1b上に接合材14を介してメモリICである第3半導体チップ1cを積層し、半田ボールを省略している。また、第2および第3半導体チップ1b, 1cを、それぞれワイヤ2を介して内部リードに接続し、ダイパッド13を第2半導体パッケージ8の表面に露出させている。

【0066】それ以外の構成については、実施の形態1と基本的に同様であるので、重複説明は省略する。

【0067】本実施の形態2における半導体装置は、上記のように実施の形態1における半導体装置と基本的に同様な構成を有しているので、本発明の効果1~4, 6, 8および9が得られる。

【0068】それに加え、本実施の形態2の半導体装置は、3つの半導体チップを搭載しているので、半導体装置のさらなる高機能化を図ることができる（本発明の効果10）。

【0069】また、ロジックICである第1半導体チップ1aを第1半導体パッケージ7に収納し、メモリICである第2および第3半導体チップ1b, 1cを第2半導体パッケージ8に収納しているので、第1半導体チップ1aを、第2および第3半導体チップ1b, 1cのチップサイズに合わせて作り変える必要がない（本発明の効果11）。

【0070】さらに、ダイパッド13を第2半導体パッケージ8の表面に露出させているので、第2半導体パッケージ8の厚みを薄くすることができ、また外部接続用ランド12上に半田ボールを設けていないので、第1半導体パッケージ7の厚みをも薄くすることができる。それにより、半導体装置全体の厚みを薄くすることができる（本発明の効果12）。

【0071】なお、本実施の形態2、後述する実施の形態3および実施の形態4の製造方法については、実施の形態1の製造方法を若干変更するだけで良いので、これらの製造方法の記載は省略する。

【0072】（実施の形態3）次に、本発明の実施の形態3について図10を用いて説明する。図10は、本実施の形態3の半導体装置を示す断面図である。

【0073】本実施の形態3では、図10に示すように、ダイパッド13の表裏に上記の第2および第3半導体チップ（メモリIC）1b, 1cを取付け、ワイヤ2を介してこれらを内部リードと接続している。

【0074】また外部接続用ランド12上に半田ボールを設けていない。それにより、半導体装置の厚みを薄くすることができる。それ以外の構成については、実施の形態1と基本的に同様であるので、重複説明は省略する。

【0075】本実施の形態3における半導体装置も、実施の形態1における半導体装置と基本的に同様な構成を有しているので、本発明の効果1~4, 6, 8~9が得

られる。また、実施の形態2の場合と同様に、本発明の効果10も得られる。

【0076】それに加え、第2半導体パッケージ8ではダイパッド13の上下に半導体チップを実装しているので、チップサイズの制約がない。このため、3チップをチップサイズの制約なしに組み立てることができる（本発明の効果13）。

【0077】（実施の形態4）次に、本発明の実施の形態4について図11を用いて説明する。図11は、本実施の形態4の半導体装置を示す断面図である。

【0078】本実施の形態4では、図11に示すように、基板部4の表面上に第1半導体チップ（ロジックIC）1aと第4半導体チップ（周辺IC）1dを接合材14を介して積層し、ダイパッド13上に第2と第3半導体チップ（メモリIC）1b, 1cを接合材14を介して積層している。

【0079】そして、ワイヤ2を介して、第1および第4半導体チップ1a, 1dを基板部4上に設けたワイヤ接続用ランドと接続し、第2と第3半導体チップ1b, 1cを内部リードと接続している。また外部接続用ランド12上に半田ボールを設けていない。

【0080】なお、上記の周辺ICとは、並直列変換回路やリフレッシュ回路その他の周辺回路を有するICチップのことであり、かかるチップを半導体パッケージに組込むことにより、システムの機能を取り込むことができ、メモリ応用システムの高度化が可能となる（本発明の効果14）。

【0081】それ以外の構成については、実施の形態1と基本的に同様であるので、重複説明は省略する。

【0082】本実施の形態4における半導体装置も、実施の形態1における半導体装置と基本的に同様な構成を有しているので、本発明の効果1~4, 6, 8~9が得られる。

【0083】それに加え、本実施の形態4の半導体装置は、4つの半導体チップを搭載しているので、半導体装置のさらなる高機能化を図ることができる（本発明の効果15）。

【0084】また、各半導体パッケージに各々2つの半導体チップを搭載するようとしているので、チップサイズの制約を小さくすることができる（本発明の効果16）。

【0085】（実施の形態5）次に、本発明の実施の形態5について図12を用いて説明する。図12は、本実施の形態5の半導体装置を示す断面図である。

【0086】本実施の形態5では、図12に示すように、基板部4の中央に凹部21を設け、凹部21の周囲に位置する基板部4の周縁部の厚みを凹部21直下の基板部4の厚みよりも厚くしている。凹部21は、たとえば基板部4に座ぐり加工を施すことで形成できる。

【0087】そして、上記凹部21に、第1半導体チッ

チップ1aを取り付け、第1半導体チップ1aを樹脂封止し、樹脂部9を凹部21内に形成している。凹部21の底面にワイヤ接続用ランド5を形成し、ワイヤ2により第1半導体チップ1aをワイヤ接続用ランド5と接続する。

【0088】樹脂部9は、ワイヤ2およびワイヤ接続用ランド5を覆い、凹部21の底面に達する。また樹脂部9の表面の高さは、好ましくは、図12に示すように基板部4の周縁部の高さとほぼ等しくする。それにより、基板部4上に樹脂部9が突出するのを阻止でき、第2半導体パッケージ8の実装をさらに容易に行なえる（本発明の効果17）。

【0089】厚みの大きい基板部4の周縁部上に、第2半導体パッケージ実装用ランド6を配置する。それにより、第2半導体パッケージ実装用ランド6下の基板部4の強度を高くすることができ、第2半導体パッケージ8の実装後の信頼性を向上することができる。

【0090】また外部接続用ランド12上に半田ボールを設けていない。それ以外の構成については実施の形態1の場合と基本的に同様であるので、重複説明は省略する。

【0091】本実施の形態5における半導体装置も、実施の形態1における半導体装置と基本的に同様な構成を有しているので、本発明の効果1～9が得られる。

【0092】それに加え、本実施の形態5の半導体装置では、基板部4の表面がほぼフラットになっているので、第2半導体パッケージ実装用ランド6上に半田を塗布する際にスクリーン印刷法を使用でき、半田の塗布を容易に行なえる（本発明の効果18）。

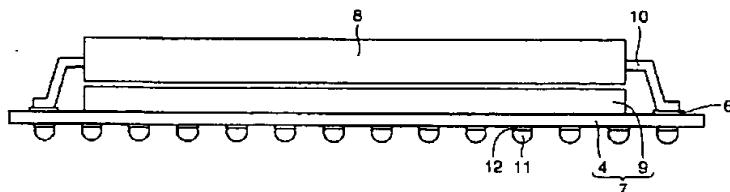
【0093】本実施の形態5における半導体装置の製造方法は、基板部4に座ぐり加工等を施して凹部21を形成する工程を除けば基本的に実施の形態1の場合と同様である。

【0094】以上のように本発明の実施の形態について説明を行なったが、上記の各実施の形態に記載の内容を相互に組合せてもよい。

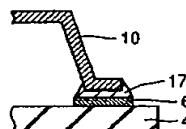
【0095】また、今回開示した実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0096】

【図2】



【図7】



10 【図2】 図1に示す半導体装置の側面図である。

【図3】 図1に示す第1半導体パッケージにおける樹脂部（封止部）を除く部分の平面図である。

【図4】 図1に示す半導体装置の底面図である。

【図5】 図1に示す半導体装置の断面図である。

【図6】 図1に示す半導体装置を実装基板に実装した状態を示す側面図である。

【図7】 第2半導体パッケージの外部リードと第1半導体パッケージのランドとの接続部の拡大図である。

【図8】 第1半導体パッケージにおける基板部の内部構造例を示す断面図である。

【図9】 本発明の実施の形態2における半導体装置の断面図である。

【図10】 本発明の実施の形態3における半導体装置の断面図である。

【図11】 本発明の実施の形態4における半導体装置の断面図である。

【図12】 本発明の実施の形態5における半導体装置の断面図である。

【図13】 従来の半導体装置の一例を示す側面図である。

30 【符号の説明】

1a～1d 第1～第4半導体チップ、2 ワイヤ、3 ポンディングパッド、4 基板部、5 ワイヤ接続用

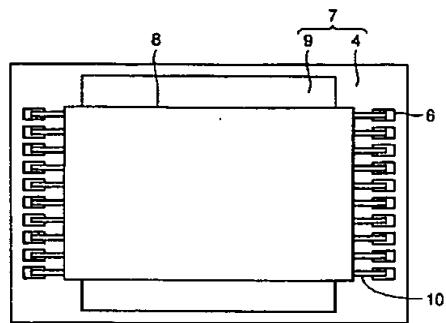
ランド、6 第2半導体パッケージ実装用ランド、7 第1半導体パッケージ、8 第2半導体パッケージ、9

樹脂部（封止部）、10 外部リード、11 半田ボール、12 外部接続用ランド、13 ダイパッド、14

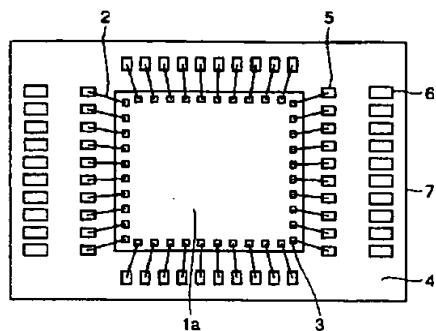
接合材、15 実装基板、16 実装用ランド、17 半田層、18 スルーホール、19 導電層（スルーホール配線）、20 配線、21 凹部。

40

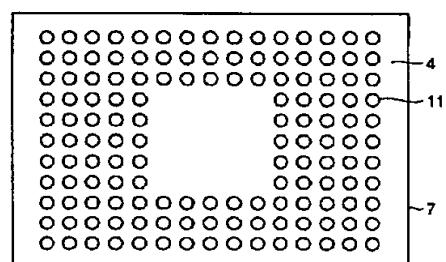
【図1】



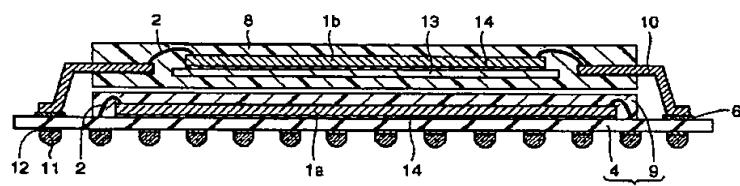
【図3】



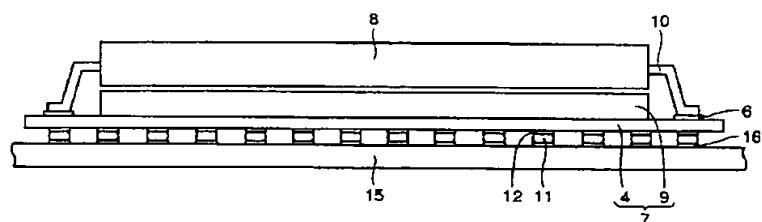
【図4】



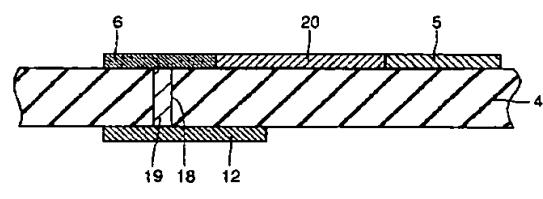
【図5】



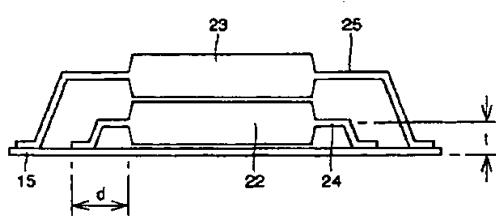
【図6】



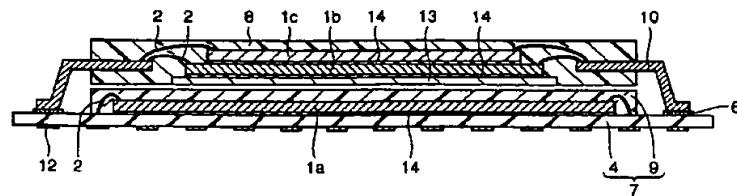
【図8】



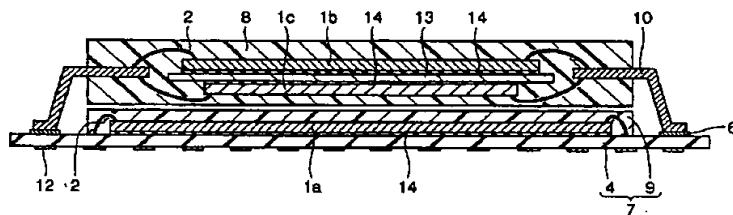
【図13】



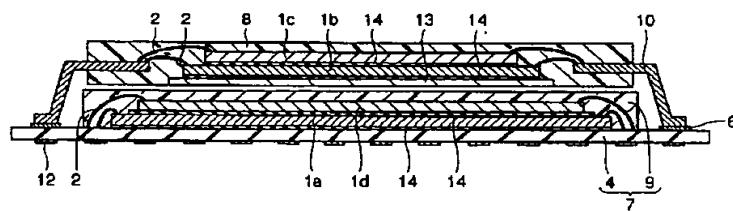
【図9】



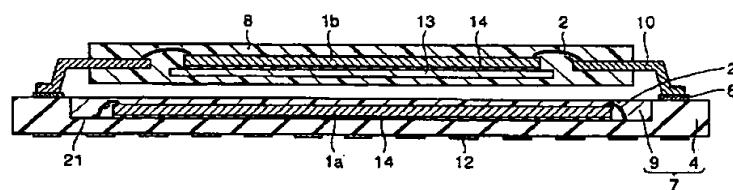
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 柴田 潤

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 中島 盛義

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内